

---

# Testi del Syllabus

---

Docente	<b>GIORGI ROBERTO</b>	Matricola: <b>005709</b>
Anno offerta:	<b>2013/2014</b>	
Insegnamento:	<b>108151D/1 - ARCHITETTURA DEI CALCOLATORI MOD. CALCOLATORI ELETTRONICI</b>	
Corso di studio:	<b>IE003 - INGEGNERIA INFORMATICA E DELL'INFORMAZIONE</b>	
Anno regolamento:	<b>2012</b>	
CFU:	<b>6</b>	
Settore:	<b>ING-INF/05</b>	
Tipo attività:	<b>B - Caratterizzante</b>	
Partizione studenti:	-	
Anno corso:	<b>2</b>	
Periodo:	<b>Secondo semestre</b>	

---



## Testi in italiano

<b>Tipo testo</b>	<b>Testo</b>
<b>Lingua insegnamento</b>	ITALIANO
<b>Contenuti</b>	<p>ORGANIZZAZIONE DI MACCHINA A LIVELLO ASSEMBLY Organizzazione di base e struttura di un processore RISC. Set di istruzioni e tipi di istruzioni. Linguaggio assembly e linguaggio macchina. Relazione coi linguaggi ad alto livello.</p> <p>VALUTAZIONE DELLE PRESTAZIONI Metriche e benchmark.</p> <p>SOTTOSISTEMA DI MEMORIA Sistemi di memorizzazione e tecnologie di memorizzazione. Gerarchia di memoria e suo funzionamento. Latenza, tempo di ciclo, banda, interleaving. Memorie cache (mapping degli indirizzi, rimpiazzamento e politiche di scrittura).</p> <p>I/O E COMUNICAZIONI Metodi per controllare l'input/output; interrupt. Sincronizzazione, handshaking. Memorie di massa, organizzazione fisica, e dischi. Sistemi a bus, controllo, accesso diretto alla memoria (DMA). Comunicazioni su bus seriali (pacchettizzazione, Ethernet, USB). Cenni a bus PCI e comunicazioni wireless (Bluetooth, WiFi), sistemi di gestione della grafica e istruzioni per multimedia.</p> <p>PROCESSORE L'architettura dei processori e il pipelining. Cenni al parallelismo a livello di istruzione (ILP), processori Superscalari e VLIW.</p>
<b>Testi di riferimento</b>	D.A. Patterson, J.L. Hennessy, "Computer Organization and Design" 4th Edition, Morgan Kaufman/Elsevier, 2009, ISBN 978-0123744937
<b>Obiettivi formativi</b>	Saper scegliere un calcolatore esaminando i parametri che ne influenzano le prestazioni. Capire l'architettura dei moderni calcolatori. Essere in grado di valutare l'efficacia dei meccanismi architetturali atti a migliorare le potenzialità dei calcolatori.
<b>Prerequisiti</b>	Fondamenti di informatica
<b>Metodi didattici</b>	Lezioni 70%, Esercitazioni/Laboratorio 30%.
<b>Altre informazioni</b>	<p>Sia nelle prove scritte e orali (ma anche nei progetti), allo studente e' principalmente richiesto di mostrare la conoscenza dettagliata dell'argomento, almeno al livello indicato dal docente durante la lezione. E' molto apprezzata la capacità di ragionamento sul problema, piuttosto che una meccanica (pedante) descrizione del tema.</p> <p>In caso di esercizio scritto, verra' principalmente considerata la correttezza della soluzione (in termini numerici) e una giustificazione molto breve del modo scelto per svolgere l'esercizio (lunghe formulazioni generali sono completamente inutili).</p> <p>In caso di interrogazione orale, l'argomento "in genere uno dei concetti illustrato durante la lezione. Elementi che sono richiesti sono, per esempio: la prova del concetto/teorema, schemi precisi del sistema, il comportamento e il funzionamento dettagliato, ragioni per le quali questa soluzione viene utilizzata nel mondo reale.</p>
<b>Modalità di verifica dell'apprendimento</b>	<p>Il punteggio di ammissione all'orale e' dato dal voto del compito.</p> <p>Il punteggio di ammissione e' sufficiente se non inferiore a 18/30. Con punteggio di ammissione inferiore 18/30 e non inferiore a 15/30 e' possibile sostenere l'orale con riserva (la riserva e' sciolta se lo studente risponde bene alla prima domanda).</p>

## Tipo testo

## Testo

### Programma esteso

Introduzione generale e introduzione al linguaggio assembly MIPS.  
Principi dei microprocessori RISC. Formati di istruzioni e istruzioni base.  
Principi dei microprocessori RISC. Formati di istruzioni e istruzioni base.  
Assembly: gestione operandi immediati, puntatori. Modalita' di indirizzamento. Chiamata a funzione.  
Sviluppo di programmi MIPS su simulatore SPIM. Principali direttive dell'assemblatore. Chiamata a servizi di sistema.  
Assemblatore a due passate. Caricamento, collegamento di moduli multipli.  
Equazione delle prestazioni. Valutazione delle prestazioni, set di benchmark SPEC. Legge di Amdahl.  
Standard IEEE-754 per il floating-point.  
Sviluppo di programmi MIPS su simulatore SPIM.  
Registri e istruzioni floating-point nel processore MIPS.  
Eccezioni e interrupt. Routine di gestione dell'interrupt. Interrupt precisi e imprecisi.  
Esercizi: Floating Point nell'assembly MIPS.  
Programma operazioni floating point e programma esterno. Esercizi sull'assembly MIPS. Svolgimento su SPIM di determinante di matrice 3x3.  
Tipi di bus. Protocollo di scambio sincrono e asincrono. Arbitraggio (master/slave, daisy-chain).  
Pilotare i dispositivi: tecniche a polling, interrupt, DMA. Il caso dei PC: controllore di interrupt 8259A.  
Esempio di complessita' interna dei chip: timer 8254.  
Tipi di memoria. Differenza fra SRAM e DRAM. Ciclo di lettura e di scrittura in DRAM.  
Gerarchia di Memoria e Principio di Localita'. Architettura delle cache: cache ad accesso diretto. Parametri caratterizzanti il funzionamento delle cache.  
Cache associative. Cache su piu' livelli. Dipendenza delle prestazioni di un calcolatore dalla cache.  
Memoria Virtuale: meccanismi hardware per supportarla. Paginazione a 2 o piu' livelli e a tabella inversa. TLB: Translation Lookaside Buffer.  
Processori con pipeline. Risoluzione dei conflitti di pipeline. Limiti della pipeline e cenni ai processori superscalari.  
Tool di simulazione per le cache. Esercizi sulle cache.



## Testi in inglese

<b>Tipo testo</b>	<b>Testo</b>
<b>Lingua insegnamento</b>	ITALIAN
<b>Contenuti</b>	<p>Electronic Computers (6 ECTS credits)</p> <p>* ORGANIZATION OF THE MACHINE AND ASSEMBLY Basic organization and structure of a RISC processor. Instruction set and instruction types. Assembly language and machine language. Relation with high-level languages. Metrics and benchmarks.</p> <p>* MEMORY SUBSYSTEM Memory systems and technologies. Memory hierarchy and its operation. Latency, cycle time, bandwidth, interleaving. Cache memories (address mapping, replacement policies, and writing).</p> <p>* I/O AND COMMUNICATIONS Methods to control the input/output, interrupts. Synchronization, handshaking. Bus systems, control, direct memory access (DMA). Communications serial bus (Packetization, Ethernet, USB). Introduction to the PCI bus.</p> <p>* PROCESSOR The architecture of the processors and pipelining. Outline of instruction-level parallelism (ILP), superscalar and VLIW processors</p>
<b>Testi di riferimento</b>	D.A. Patterson, J.L. Hennessy, "Computer Organization and Design" 4th Edition, Morgan Kaufman/Elsevier, 2009, ISBN 978-0123744937
<b>Obiettivi formativi</b>	Knowing how to choose a computer by examining the parameters that affect performance. Understanding the architecture of modern computers. Being able to assess the effectiveness of the architectural mechanisms that improve the performance of computers.
<b>Prerequisiti</b>	Programming Fundamentals
<b>Metodi didattici</b>	Lessons 70%, Exercise/Lab 30%.
<b>Altre informazioni</b>	<p>Both in the written and oral exams (but also in the projects) the student is mainly required to show his/her detailed understanding of the topic, at least at the level shown by the teacher during the lesson. It's greatly appreciated the capacity of reasoning on the problem, rather than a mechanical (pedant) description of the topic.</p> <p>In case of written exercise, we mainly look at the correctness of the solution (in terms of numbers) and a very short justification of the chosen way to carry out the exercise (lengthy general wording is completely unnecessary).</p> <p>In case of oral question, the topic is typically one of the concepts illustrated during the lesson. Elements that are required are, for instance: the proof of the concept/theorem, precise schematic of the system, detailed behavior and functioning, reasons why this solution is used in the real-world.</p>
<b>Modalità di verifica dell'apprendimento</b>	<p>The score for admission to oral is given by the vote of the homework.</p> <p>The admission score is enough if not less than 18/30. With admission score less than 18/30 and not less than 15/30 it is possible to be admitted to the oral "with a reserve" (the reserve and' dissolved if the student responds well to the first question).</p>
<b>Programma esteso</b>	<p>General introduction and introduction to the MIPS assembly language.</p> <p>Principles of RISC microprocessors. Formats instructions and basic instructions.</p> <p>Principles of RISC microprocessors. Formats instructions and basic instructions.</p>

## **Tipo testo**

## **Testo**

Assembly: Immediate operands management, pointers. Ways' addressing. Function call.

Development of programs on MIPS simulator SPIM. Main assembler directives. Calling system services.

Two step assembler. Loading, connecting multiple modules.

Equation of performance. Performance evaluation, set of SPEC benchmarks. Amdahl's Law.

IEEE-754 standard for floating-point.

Development of programs on MIPS simulator SPIM.

Registers and floating-point instructions in the MIPS processor.

Exceptions and interrupts. Routine dell'interrupt. Interrupt precise and imprecise.

Exercises: Floating Point MIPS assembly.

Program floating point operations and external program. Exercises for assembly MIPS. Conduct of SPIM determinant of a 3x3 matrix.

Bus types. Exchange protocol for synchronous and asynchronous. Arbitrage (master / slave, daisy-chain).

Pilot devices: polling techniques, interrupts, and DMA. The case of PC: 8259A interrupt controller.

Example of complexity 'internal chip: 8254 timers.

Types of memory. Difference between SRAM and DRAM. Read cycle and write to DRAM.

Memory Hierarchy and Principle of Locality '. Architecture of the cache: cache access directory. Parameters characterizing the operation of the cache.

Associative cache. Cache on more 'levels. Dependence of the performance of a computer from the cache.

Virtual Memory: hardware mechanisms to support it. Paging 2 or more 'levels and to reverse the table. TLB Translation Lookaside Buffer.

Pipelined processors. Conflict Resolution pipeline. Limitations of the pipeline and nods to superscalar processors.

Simulation tool for the cache. Exercises on the cache.