

# Testi del Syllabus

Resp. Did. **GIORGI ROBERTO** **Matricola: 005709**

Docente **GIORGI ROBERTO, 6 CFU**

Anno offerta: **2017/2018**

Insegnamento: **108151D - ARCHITETTURA DEI CALCOLATORI**

Corso di studio: **IE003 - INGEGNERIA INFORMATICA E DELL'INFORMAZIONE**

Anno regolamento: **2015**

CFU: **6**

Settore: **ING-INF/05**

Tipo Attività: **B - Caratterizzante**

Anno corso: **3**

Periodo: **Primo semestre**



## Testi in italiano

<b>Lingua insegnamento</b>	ITALIANO
<b>Contenuti</b>	ELEMENTI DI PROGETTAZIONE DEI SISTEMI DIGITALI, ORGANIZZAZIONE DI MACCHINA A LIVELLO ASSEMBLY, VALUTAZIONE DELLE PRESTAZIONI, SOTTOSISTEMA DI MEMORIA, I/O E COMUNICAZIONI, PROCESSORE
<b>Testi di riferimento</b>	* D.A. Patterson, J.L. Hennessy, "Computer Organization and Design" 5th Edition, Morgan Kaufman/Elsevier, 2014, ISBN 978-0124077263 (o in Italiano, traduzione della 5 <sup>a</sup> edizione inglese: D.A. Patterson, J.L. Hennessy, "Struttura e Progetto dei Calcolatori" 4 <sup>a</sup> edizione ITALIANA, Zanichelli, 2015, ISBN 978-8808-35202-6 * (consultazione) P. Corsini, "Dalle porte AND, OR, NOT al sistema calcolatore", Edizioni ETS, 2015, ISBN 9788846743114
<b>Obiettivi formativi</b>	Saper scegliere un calcolatore esaminando i parametri che ne influenzano le prestazioni. Essere in grado di valutare l'efficacia dei meccanismi architettonici atti a migliorare le potenzialità dei calcolatori. Saper analizzare e progettare sistemi digitali combinatori e sequenziali. Conoscere la struttura dei principali componenti logici alla base dei circuiti digitali. Comprensione degli elementi architettonici di un moderno calcolatore e struttura di processore, memoria, ingresso/uscita.
<b>Prerequisiti</b>	Fondamenti di informatica
<b>Metodi didattici</b>	Lezioni 65%, Esercitazioni/Laboratorio 35%.
<b>Altre informazioni</b>	Sia nelle prove scritte e orali (ma anche nei progetti), allo studente e' principalmente richiesto di mostrare la conoscenza dettagliata dell'argomento, almeno al livello indicato dal docente durante la lezione. E' molto apprezzata la capacità di ragionamento sul problema, piuttosto che una meccanica (pedante) descrizione del tema.

In caso di esercizio scritto, verra' principalmente considerata la correttezza della soluzione (in termini numerici) e una giustificazione molto breve del modo scelto per svolgere l'esercizio (lunghe formulazioni generali sono completamente inutili).

In caso di interrogazione orale, l'argomento e' in genere uno dei concetti illustrato durante la lezione. Elementi che sono richiesti sono, per esempio: la prova del concetto/teorema, schemi precisi del sistema, il comportamento e il funzionamento dettagliato, ragioni per le quali questa soluzione viene utilizzata nel mondo reale.

## Modalità di verifica dell'apprendimento

Prova scritta seguita da orale. Il superamento (voto non inferiore a 18/30) della prova scritta in itinere permette l'esonero della prova scritta ai primi due appelli dell'anno accademico (la prova orale deve in ogni caso essere sostenuta). E' possibile facoltativamente far valere un progetto di gruppo (max 3 persone) che contribuisce al voto complessivo fino a 5/30 in aggiunta al voto finale ottenuto con scritto e orale.

## Programma esteso

### \* ELEMENTI DI PROGETTAZIONE DEI SISTEMI DIGITALI

Tecnologia CMOS, inverter CMOS, porte NOT, NAND, NOR, porta di transito in CMOS (stick diagram e circuito); ritardi di propagazione, caratteristica ingresso uscita, margini di rumore e loro dipendenza dai parametri fisici; algebra booleana; sintesi ad occhio di reti combinatorie: half adder e full adder. Forme standard di funzioni booleane e mappe di Karnaugh; reti combinatorie notevoli: Decoder, Encoder, Encoder con priorita', Multiplexer, Demultiplexer, Look-Up-Table (LUT); realizzazione di semplice ALU. Introduzione ai linguaggi di descrizione dell'hardware (HDL): Verilog e realizzazione di un semplice processore con architettura MIPS o ARM. Introduzione alle reti logiche sequenziali: latch e flip-flop SR, clocked-SR, SR-master-slave, D-latch, D-edge-triggered e loro realizzazioni transistor-level; generazione di clock a due fasi. Reti logiche sequenziali: Macchine di Mealy e di Moore, modelli VERILOG e sintesi di macchine di Mealy e di Moore, Flip-Flop JK, Flip-Flop T, Ripple Counter, Serial Carry Counter, Parallel Carry Counter, Ring Counter, Sommatore Parallelo con riporto seriale e con riporto look-ahead.

### \* ORGANIZZAZIONE DI MACCHINA E ASSEMBLY

Principi dei microprocessori RISC (MIPS o ARM). Formati di istruzioni e istruzioni base. Assembly: modalita' di indirizzamento. Chiamata a funzione. Equazione delle prestazioni. Valutazione delle prestazioni, set di benchmark SPEC. Legge di Amdahl. Assemblatore a due passate. Caricamento, collegamento di moduli multipli. Standard IEEE-754 per il floating-point. Registri e istruzioni floating-point. Eccezioni e interrupt. Routine di gestione dell'interrupt. Interrupt precisi e imprecisi.

### \* SOTTOSISTEMA DI MEMORIA

Tipi di memoria. Differenza fra SRAM e DRAM. Ciclo di lettura e di scrittura in DRAM. Gerarchia di Memoria e Principio di Localita'. Architettura delle cache: cache ad accesso diretto. Parametri caratterizzanti il funzionamento delle cache. Cache associative. Cache su piu' livelli. Dipendenza delle prestazioni di un calcolatore dalla cache. Memoria Virtuale: meccanismi hardware per supportarla. Paginazione a 2 o piu' livelli e a tabella inversa. TLB: Translation Lookaside Buffer.

### \* I/O E COMUNICAZIONI

Tipi di bus. Protocollo di scambio sincrono e asincrono. Arbitraggio (master/slave, daisy-chain). Cenni a bus PCI. Pilotare i dispositivi: tecniche a polling, interrupt, DMA. Il caso dei PC: controllore di interrupt 8259A. Esempio di complessita' interna dei chip: timer 8254, UART 16550A. Comunicazioni su bus seriali (pacchettizzazione, Ethernet, USB).

### \* PROCESSORE

Processori con pipeline. Risoluzione dei conflitti di pipeline. Limiti della pipeline e cenni ai processori superscalari.



## Testi in inglese

ITALIAN

ELEMENTS OF DIGITAL SYSTEMS DESIGN,  
MACHINE ORGANIZATION AT ASSEMBLY LEVEL,  
PERFORMANCE EVALUATION,  
MEMORY SUBSYSTEM,  
I/O AND COMMUNICATION,  
PROCESSOR

\* D.A. Patterson, J.L. Hennessy, "Computer Organization and Design" 5th Edition, Morgan Kaufman/Elsevier, 2014, ISBN 978-0124077263

Learning how to choose a computer by examining the parameters that influence its performance. Being able to evaluate the effectiveness of the architectural mechanisms to improve the capabilities of computers. Learning how to analyze and design combinational and sequential digital systems. Knowing the structure of the main logical components at the base of digital circuits (registers, decoders, mux, counters, etc.). Knowing how to design a system composed of digital circuits. Knowledge of the architectural elements of a modern computer and of the structure of the processor, Memory Subsystem and Input/Output Subsystem.

Computer Science Fundamentals

Lessons 65%, Exercises/Labs 35%

Both in the written and oral exams (but also in the projects) the student is mainly required to show his/her detailed understanding of the topic, at least at the level shown by the teacher during the lesson. It's greatly appreciated the capacity of reasoning on the problem, rather than a mechanical (pedant) description of the topic.

In case of written exercise, we mainly look at the correctness of the solution (in terms of numbers) and a very short justification of the chosen way to carry out the exercise (lengthy general wording is completely unnecessary).

In case of oral question, the topic is typically one of the concepts illustrated during the lesson. Elements that are required are, for instance: the proof of the concept/theorem, precise schematic of the system, detailed behavior and functioning, reasons why this solution is used in the real-world.

Written examination followed by oral examination. Passing (mark non less than 18/30) the written mid\_term+final\_term permits to avoid the written exam for the first two regular exams of the academic year (the oral part must be performed in any case). Optionally, you can present a group project (max 3 people) which contributes to the final mark up to 5/30 to be added to the final mark obtained after written and oral exam.

\* ELEMENTS OF DIGITAL SYSTEMS DESIGN

CMOS technology, CMOS inverter, NOT gates, NAND, NOR, transit port in CMOS (stick diagram and circuit); propagation delays, input-output characteristic, noise margins, and their dependence on physical parameters; Boolean algebra; Synthesis eye of combinatorial networks: half adder and full-adder. Standard forms of Karnaugh maps and Boolean functions; fundamental combinatorial networks: Decoder, Encoder, Encoder with priority, multiplexer, demultiplexer, Look-Up Table (LUT); synthesis of simple ALU. Introduction to hardware description languages (HDL): Verilog and synthesis of a simple processor with MIPS or ARM architecture. Introduction to sequential networks: latch and flip-flop SR, clocked-SR, SR-master-slave, D-latch, D-edge-triggered and their transistor-level implementation; clock generation in two phases. Sequential networks: Machines Mealy and Moore, VERILOG models and synthesis of Mealy and Moore machines, Flip-Flop JK Flip-Flop T, Ripple Counter, Counter Carry Serial, Parallel Carry Counter, Ring Counter, Adder Parallel with serial carry and carry-look-ahead.

\* ORGANIZATION AND MACHINE ASSEMBLY

Principles of RISC microprocessors (MIPS or ARM). Formats of instructions

and basic instructions. Assembly: addressing modes. Function call. Performance equation. Performance evaluation, set of SPEC benchmarks. Amdahl's law. Two-pass assembler. Loading, linking of multiple modules. IEEE-754 standard for floating-point. Registers and floating-point instructions. Exceptions and interrupts. Interrupt handling routines. Precise and imprecise interrupts.

#### \* SUB MEMORY

Memory types. Difference between SRAM and DRAM. DRAM read and write cycle. Memory Hierarchy and Locality Principle. Cache architecture: direct access cache. Parameters that characterize the operation of the cache. Associative cache. Multi-level cache. Dependence of the computer performance by the cache. Virtual Memory: hardware support mechanisms. Two-level and multi-level paging, inverse paging. TLB: Translation Lookaside Buffer.

#### \* I / O AND COMMUNICATIONS

Bus types. Synchronous and asynchronous protocols. Arbitration (master/slave, daisy-chain). PCI bus. Device drivers: polling, interrupts, DMA. The case of the PC: the 8259A interrupt controller. Example of internal complexity of the chip: 8254 Timer, UART 16550A. Communications on serial bus (packetization, Ethernet, USB).

#### \* PROCESSOR

Pipelined processors. Solving pipeline hazards. Limits of the pipeline and motivation of superscalar processors.